

JP2001298186 A

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF
HITACHI LTD

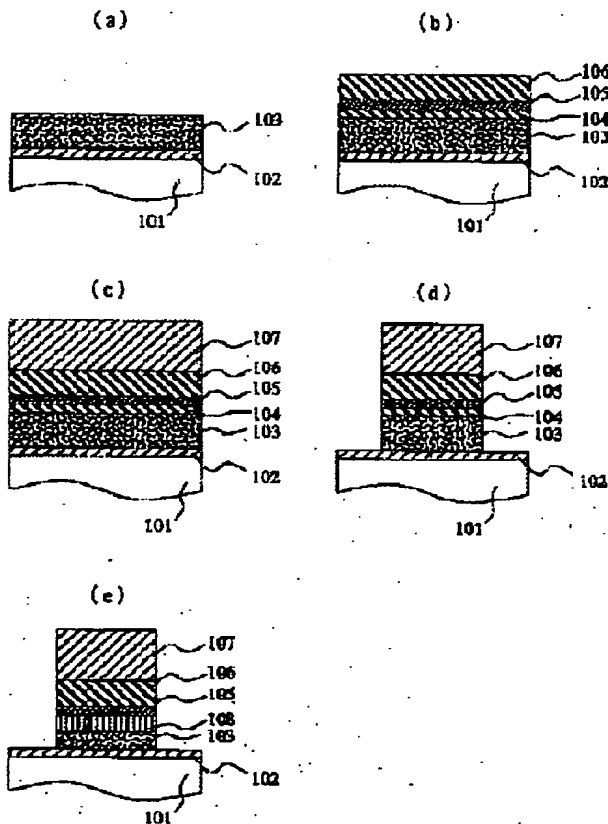
Inventor(s): ONISHI KAZUHIRO ; YAMAMOTO NAOKI

Application No. 2000118491 JP2000118491 JP, Filed 20000414, A1 Published
20011026 Published 20011026

Abstract: PROBLEM TO BE SOLVED: To solve the problem of a conventional metal/reaction preventing film/polycrystal silicon structure where the contact resistance between the reactive preventing film and the polycrystal silicon is high to raise a gate resistance, resulting in increased circuit delay of an MOS transistor.

SOLUTION: A metal silicide is sandwiched between the reaction preventing film and the polycrystal silicon to provide an ideal metal/semiconductor contact. Thus, the contact resistance among region preventing film, metal silicide and polycrystal silicon is reduced to shorten the circuit delay time of the MOS transistor.

Fig. 1



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-298186

(P2001-298186A)

(43) 公開日 平成13年10月26日 (2001. 10. 26)

(51) Int.Cl. ⁷	識別記号	F I	特許出願公開番号
H 0 1 L 29/78		H 0 1 L 21/28	3 0 1 D 4 M 1 0 4
21/28	3 0 1	29/78	3 0 1 G 5 F 0 4 0
29/43		29/62	G

審査請求 未請求 請求項の数17 O L (全 8 頁)

(21) 出願番号 特願2000-118491(P2000-118491)

(22) 出願日 平成12年 4 月14日 (2000. 4. 14)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 大西 和博

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 山本 直樹

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

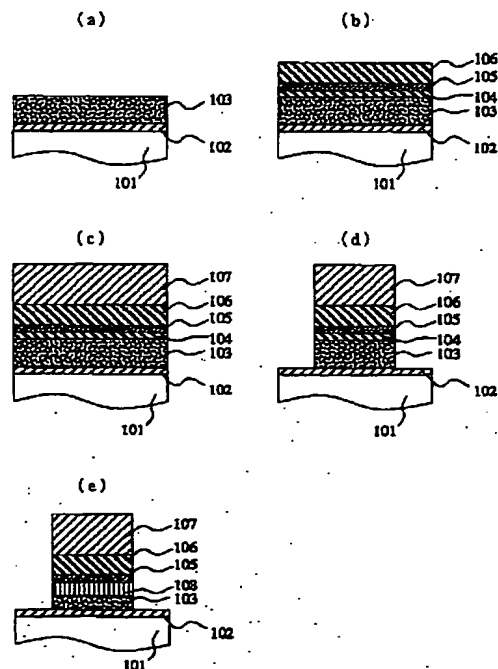
(57) 【要約】

【課題】 従来の金属／反応防止膜／多結晶シリコンの構造では、反応防止膜／多結晶シリコン間の接触抵抗が大きく、ゲート抵抗が高くなる。これによって、MOSトランジスタの回路遅延時間が増大する。

【解決手段】 反応防止膜／多結晶シリコン間に金属珪化物を挟み、理想的な金属／半導体接触を形成する。

【効果】 反応防止膜／金属珪化物／多結晶シリコン間の接触抵抗が低減される。これにより、MOSトランジスタの回路遅延時間を短縮する

図1



【特許請求の範囲】

【請求項 1】MOS トランジスタを有する半導体装置において、

上記 MOS トランジスタのゲート電極が、下からシリコン膜、金属珪化膜、金属窒化膜及び金属膜の積層膜からなることを特徴とする半導体装置。

【請求項 2】前記シリコン膜中に、任意の導電型の不純物が注入されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】前記金属珪化膜の膜厚が、5～20nmであることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】前記金属珪化膜がタングステンシリサイドであり、前記金属窒化膜が窒化タングステンであり、前記金属膜がタングステンであることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】ゲート電極がシリコン膜と該シリコン膜の上方に積層された金属膜とから構成された MOS トランジスタを有する半導体装置において、
上記シリコン膜と上記金属膜の間の、上記シリコン膜側に金属珪化膜を備え、上記金属膜側に金属窒化膜を備えたことを特徴とする半導体装置。

【請求項 6】前記シリコン膜中に、任意の導電型の不純物が注入されていることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】前記金属珪化膜の膜厚が、5～20nmであることを特徴とする請求項 5 に記載の半導体装置。

【請求項 8】前記金属珪化膜がタングステンシリサイドであり、前記金属窒化膜が窒化タングステンであり、前記金属膜がタングステンであることを特徴とする請求項 5 に記載の半導体装置。

【請求項 9】半導体基板表面に第 1 の絶縁膜を形成する第 1 工程と、
上記第 1 の絶縁膜上にシリコン膜を堆積する第 2 工程と、
上記シリコン膜上に第 1 の金属膜を堆積する第 3 工程と、
上記第 1 の金属膜上に金属窒化膜を堆積する第 4 工程と、
上記金属窒素化膜上に第 2 の金属膜を堆積する第 5 工程と、
上記シリコン膜、上記第 1 の金属膜、上記金属窒化膜及び上記第 2 の金属膜からなる積層膜をゲート電極形状に加工する第 6 工程と、
上記ゲート電極をマスクとして上記半導体基板表面に不純物をイオン打ち込みする第 7 工程と、
熱処理により、上記第 1 の金属膜を上記シリコン膜と反応させて、金属珪化膜とする第 8 工程とを有することを特徴とする半導体装置の製造方法。

【請求項 10】前記第 8 の工程において、650℃以上の熱処理を施すことを特徴とする請求項 9 に記載の半導

体装置の製造方法。

【請求項 11】前記第 8 工程において、前記第 7 工程でイオン打ち込みされた不純物が活性化されることを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 12】前記金属珪化膜がタングステンシリサイドであり、前記金属窒化膜が窒化タングステンであり、前記第 1 及び第 2 の金属膜がタングステンであることを特徴とする請求項 9 に記載の半導体装置。

【請求項 13】半導体基板表面に第 1 の絶縁膜を形成する第 1 工程と、

上記第 1 の絶縁膜上にシリコン膜を堆積する第 2 工程と、

上記シリコン膜上に第 1 の金属膜を堆積する第 3 工程と、

上記第 1 の金属膜上に金属窒化膜を堆積する第 4 工程と、

上記金属窒素化膜上に第 2 の金属膜を堆積する第 5 工程と、

熱処理により、上記第 1 の金属膜を上記シリコン膜と反応させて、金属珪化膜とする第 6 工程と、

上記シリコン膜、上記金属珪化膜、上記金属窒化膜及び上記第 2 の金属膜からなる積層膜をゲート電極形状に加工する第 7 工程と、

上記ゲート電極をマスクとして上記半導体基板表面に不純物をイオン打ち込みする第 8 工程とを有することを特徴とする半導体装置の製造方法。

【請求項 14】前記第 6 の工程において、650℃以上の熱処理を施すことを特徴とする請求項 13 に記載の半導体装置の製造方法。

【請求項 15】前記金属珪化膜がタングステンシリサイドであり、前記金属窒化膜が窒化タングステンであり、前記第 1 及び第 2 の金属膜がタングステンであることを特徴とする請求項 13 に記載の半導体装置。

【請求項 16】半導体基板表面に第 1 の絶縁膜を形成する工程と、

上記第 1 の絶縁膜上にシリコン膜を堆積する工程と、

上記シリコン膜上に金属珪化膜を堆積する工程と、

上記第 1 の金属膜上に金属窒化膜を堆積する工程と、

上記金属窒素化膜上に金属膜を堆積する工程と、

上記シリコン膜、上記金属珪化膜、上記金属窒化膜及び上記金属膜からなる積層膜をゲート電極形状に加工する工程と、

上記ゲート電極をマスクとして上記半導体基板表面に不純物をイオン打ち込みする工程とを有することを特徴とする半導体装置の製造方法。

【請求項 17】前記金属珪化膜がタングステンシリサイドであり、前記金属窒化膜が窒化タングステンであり、前記金属膜がタングステンであることを特徴とする請求項 16 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に係わり、特に、MIS型トランジスタを有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】近年、デバイスの高性能化および高集積化を目的として、デバイスの微細化が進んでいる。微細化の進行に伴い、電極材料に低抵抗材料を導入する必要があるが生じており、従って、MOSトランジスタのゲート電極にも金属を導入することが望ましい。

【0003】一方、高速CMOSデバイスにおいて高性能化および高集積化を同時に達成するためには、しきい値電圧が低くかつゲート抵抗が小さいだけでは不十分であり、ゲート/コンタクト間のレイアウトピッチを縮小することが要求される。これらの要求を解決する技術として従来用いられているのは、ゲートの多結晶シリコンとソース/ドレイン領域を自己整合的にシリサイド化するサリサイド技術や、多結晶シリコンとシリサイドの積層構造をゲートに用いるポリサイド構造を用いた技術、あるいは多結晶シリコンと高融点金属の積層構造をゲート電極として用いる技術などがある。

【0004】しかし、サリサイド技術は自己整合コンタクト技術と併用することが困難なため、レイアウトピッチを縮小することが難しい。また、ポリサイド構造では、シート抵抗が高くなるために十分低抵抗なゲート抵抗を得ることが難しいという問題点がある。このため、前記要求を満たすゲート電極の構造としては、金属と多結晶シリコンの積層構造が望ましい。

【0005】ところが、この構造は熱による安定性が低く、たとえば金属として高融点金属であるタングステンを用いた場合でも、650℃程度の熱工程を経る間に金属とシリコンが反応し、抵抗の上昇や膜の表面形状の悪化、さらにはゲート絶縁膜破壊などの問題が生じる。このような問題を解決するために、金属と多結晶シリコンの間に反応防止膜となる金属窒化物を挟む構造（金属/反応防止膜/多結晶シリコン積層構造）が提案されている（例えば‘98 IEDM テクニカルダイジェスト p.397-p.400に記載。）。

【0006】

【発明が解決しようとする課題】前述のように、反応防止膜に窒化タングステンを用いた場合には、

(1) 窒化タングステン/多結晶シリコン間の接触抵抗が、 $\sim 2 \times 10^{-5} \Omega \cdot \text{cm}^2$ と非常に高いこと

(2) 高接触抵抗が原因でデバイスの回路性能が向上しないこと

などの問題点がある。

【0007】本発明の目的は、金属/反応防止膜/多結晶シリコン積層構造の反応防止膜-多結晶シリコン間接触抵抗を低減した半導体装置及びその製造方法を提供することにある。

【0008】

【課題を解決するための手段】反応防止膜-多結晶シリコン間の接触抵抗を低減するために、金属/反応防止膜/金属珪化物/多結晶シリコンの積層構造をゲート電極として適用する。

【0009】

【発明の実施の形態】以下、本発明の実施の形態の例を図面を用いて説明する。

【0010】図1(a)～(e)は、本発明の第1の実施例に係わるゲート電極の形成方法を示す工程断面図である。

【0011】まず、半導体基板101の表面上に熱酸化法等によりゲート絶縁膜102を形成し、続いて、多結晶シリコン膜103をCVD法等により堆積する（図1(a)）。

【0012】この多結晶シリコン103中に任意の導電型の不純物（例えば、リンやボロン）をイオン打ち込み法にて注入し、950～1000℃の活性化アニールを行った後に、スパッタ法等により金属104（例えば、タングステン）を5nm程度堆積する。このとき、多結晶シリコン膜103の表面に残る自然酸化膜等を除去するため、フッ酸等による前洗浄を行う。続いて、反応防止膜としての金属窒化物105（例えば、窒化タングステン）および金属106（例えば、タングステン）を、それぞれ膜厚5nm～10nm程度および50nm程度スパッタ法等により堆積する（図1(b)）。

【0013】なお、これらの金属104、106あるいは金属窒化物105の堆積は、大気中にさらさないよう連続して行うことが望ましい。さらに、金属106上にシリコン酸化膜107をプラズマCVD法等により堆積する（図1(c)）。

【0014】これら堆積された膜を、レジストを用いたリソグラフィ工程および異方性ドライエッチング技術等を用いて、ゲート電極として加工する（図1(d)）。

【0015】この後、CMOSデバイスを形成する過程で加えられる650℃以上の熱工程によって、金属104と多結晶シリコン103が反応して、金属珪化物108（例えば、タングステンシリサイド）が、堆積した金属104の膜厚の2倍程度の膜厚だけ形成される（図1(e)）。

【0016】このようにして形成したゲート電極は、金属珪化物108と多結晶シリコン103の間に、理想的な金属-半導体接触が形成されるため、従来の金属珪化物を挟まない構造に比べて、10分の1～40分の1程度小さい接触抵抗を得ることができる。

【0017】図2(a)～(d)は、本発明の第2の実施例に係わるゲート電極の形成方法を示す工程断面図である。

【0018】図2(a)、(b)の形成工程は、第1の実施例と同一工程である。本実施例では、シリコン基板

101上に、ゲート絶縁膜102、多結晶シリコン103、金属104（例えば、タングステン）、金属窒化物105（例えば、窒化タングステン）および金属106（例えば、タングステン）を堆積した段階で（図2（b））、650℃以上の熱工程を加えることにより、金属104と多結晶シリコン103が反応して、金属珪化物108（例えばタングステンシリサイド）が、堆積した金属104の膜厚の2倍程度の膜厚だけ形成される（図2（c））。

【0019】その後、これらの積層された膜を、レジストを用いたリソグラフィ工程および異方性ドライエッチング技術等を用いて、加工してゲート電極を形成する（図2（d））。

【0020】このようにして形成したゲート電極は、金属珪化物108と多結晶シリコン103の間に、理想的な金属-半導体接触が形成されるため、従来の金属珪化物を挟まない構造に比べて、10分の1～40分の1程度小さい接触抵抗を得ることができる。

【0021】図3（a）～（d）は、本発明の第3の実施例に係わるゲート電極の形成方法を示す工程断面図である。

【0022】まず、半導体基板101の表面上に熱酸化法等によりゲート絶縁膜102を形成し、続いて、多結晶シリコン膜103をCVD法等により堆積する（図3（a））。

【0023】この多結晶シリコン103中に任意の導電型の不純物（例えば、リンやボロン）をイオン打ち込み法にて注入し、950～1000℃の活性化アニールを行った後に、スパッタ法もしくはCVD法等により金属珪化物109（例えば、タングステンシリサイド）を5～20nm程度堆積する。このとき、多結晶シリコン膜103の表面に残る自然酸化膜等を除去するため、フッ酸等による前洗浄を行う。続いて、反応防止膜としての金属窒化物105（例えば、窒化タングステン）および金属106（例えばタングステン）を、それぞれ膜厚5～10nm程度および50nm程度スパッタ法等により堆積する（図3（b））。

【0024】なお、これらの金属珪化物109、金属106あるいは金属窒化物105の堆積は、大気中にさらさないよう連続して行うことが望ましい。さらに、金属106上にシリコン酸化膜107をプラズマCVD法等により堆積する（図3（c））。

【0025】これら堆積された膜を、レジストを用いたリソグラフィ工程および異方性ドライエッチング技術等を用いて、ゲート電極として加工する（図3（d））。

【0026】このようにして形成したゲート電極は、金属珪化物109と多結晶シリコン103の間に、理想的な金属-半導体接触が形成されるため、従来の、金属珪化物を挟まない構造に比べて、10分の1～40分の1程度小さい接触抵抗を得ることができる。

【0027】図4（a）～（c）及び図5（a）～（c）は、本発明の第4の実施例に係わるCMOSトランジスタの形成方法を示す工程断面図である。

【0028】シリコン基板301の表面を熱酸化法等を用いて10nm程度酸化して得られた酸化膜302上に、熱CVD法等を用いてシリコン窒化膜303を150nm程度堆積する。次に、ホトリソグラフィ工程およびドライエッチング工程により、深さ0.3μm程度の溝をシリコン基板301の素子間分離領域となる部分に形成後、溝の内側表面を10nm程度熱酸化する（図4（a））。

【0029】次に、上記溝内が埋め込まれるようにCVD法等によりシリコン酸化膜304を堆積した後、シリコン窒化膜305を熱CVD法等により堆積する。そのシリコン窒化膜305をホトリソグラフィ工程およびドライエッチング工程により、図4（b）に示すごとくデバイス活性領域の表面のシリコン窒化膜のみ除去した後、CMP法（Chemical Mechanical Polishing）により平坦化を行う。このとき、シリコン窒化膜303、305の研磨レートが、シリコン酸化膜304の研磨レートに比べて遅いため、シリコン窒化膜303、305のところで研磨を止めることができる。その後、シリコン窒化膜303および305とシリコン酸化膜302を、ウェット洗浄技術で除去する（図4（c））。

【0030】次に、半導体基板301の表面上に熱酸化法等によりゲート絶縁膜310を形成し、続いて、多結晶シリコン膜をCVD法等により堆積する。この多結晶シリコン中にn型の不純物（例えば、リン）およびp型の不純物（例えば、ボロン）をイオン打ち込み法にて注入する。これにより、NMOSのゲート電極としてn型の多結晶シリコン311と、PMOSのゲート電極としてp型の多結晶シリコン312が形成される。

【0031】次に、950℃の活性化アニールを行った後に、スパッタ法等により金属309（例えば、タングステン）を5nm程度堆積する。このとき、多結晶シリコン膜311、312の表面に残る自然酸化膜等を除去するため、フッ酸等により前洗浄を行う。続いて、反応防止膜としての金属窒化物308（例えば、窒化タングステン）および金属307（例えば、タングステン）を、それぞれ膜厚5～10nm程度および50nm程度スパッタ法等により堆積する。なお、これらの金属309、307あるいは金属窒化物308の堆積は、大気中にさらさないよう連続して行うことが望ましい。さらに、金属307上にシリコン酸化膜306をプラズマCVD法等により堆積する。

【0032】これら堆積された膜を、レジストを用いたリソグラフィ工程および異方性ドライエッチング技術等を用いて、ゲート電極として加工する。

【0033】次に、ホトリソグラフィ工程およびイオン打ち込み法により、NMOSの拡散層領域314および

パンチスルーストップ領域315、PMOSの拡散層領域316およびパンチスルーストップ領域317を形成する(図5(a))。

【0034】さらに、プラズマCVD法等を用いてシリコン酸化膜を堆積した後、堆積した膜厚分、等方性ドライエッチングにより除去することにより、ゲート電極の側面にシリコン酸化膜からなるサイドウォール313を形成する。その後、ホトリソグラフィ工程とイオン打ち込み技術により、NMOSおよびPMOSの深い拡散層領域318、319を形成する(図5(b))。

【0035】この後、トランジスタの活性化アニール(例えば、950℃、10秒のRTA(Rapid Thermal Annealing))によって、金属309と多結晶シリコン311、312が反応して、金属珪化物320(例えば、タングステンシリサイド)が、堆積した金属309の膜厚の2倍程度の膜厚だけ形成される(図5(c))。

【0036】このようにして形成したゲート電極は、金属珪化物320と多結晶シリコン310、312の間に、理想的な金属-半導体接触が形成されるため、従来の金属珪化物を挟まない構造に比べて、10分の1~40分の1程度小さい接触抵抗を得ることができる。また、これらの効果により、デバイスの回路性能(無負荷のCMOSデバイスの伝播遅延時間)は、約28psから約12psへと向上する(ゲート長0.10μm世代のCMOSデバイス)。

【0037】図6(a)~(c)及び図7(a)~(c)は、本発明の第5の実施例に係わるCMOSトランジスタの形成方法を示す工程断面図である。

【0038】シリコン基板301の表面を熱酸化法等を用いて10nm程度酸化して得られた酸化膜302上に、熱CVD法等を用いてシリコン窒化膜303を150nm程度堆積する。次に、ホトリソグラフィ工程およびドライエッチング工程により、深さ0.3μm程度の溝をシリコン基板301の素子間分離領域となる部分に形成後、溝の内側表面を10nm程度熱酸化する(図6(a))。

【0039】次に、上記溝内が埋め込まれるようにCVD法等によりシリコン酸化膜304を堆積した後、シリコン窒化膜305を熱CVD法等により堆積する。そのシリコン窒化膜305をホトリソグラフィ工程およびドライエッチング工程により、図6(b)に示すごとくデバイス活性領域の表面のシリコン窒化膜のみ除去した後、CMP法(Chemikal Mechanical Polishing)により平坦化を行う。このとき、シリコン窒化膜303、305の研磨レートが、シリコン酸化膜304の研磨レートに比べて遅いため、シリコン窒化膜303、305のところで研磨を止めることができる。その後、シリコン窒化膜303および305とシリコン酸化膜302を、ウェット洗浄技術で除去する(図6(c))。

【0040】次に、半導体基板301の表面上に熱酸化

法等によりゲート絶縁膜310を形成し、続いて、多結晶シリコン膜をCVD法等により堆積する。この多結晶シリコン中にn型の不純物(例えば、リン)およびp型の不純物(例えば、ボロン)をイオン打ち込み法にて注入する。これにより、NMOSのゲート電極としてn型の多結晶シリコン311と、PMOSのゲート電極としてp型の多結晶シリコン312が形成される。

【0041】次に、950℃の活性化アニールを行った後に、スパッタ法等により金属309(例えば、タングステン)を5nm程度堆積する。このとき、多結晶シリコン膜311、312の表面に残る自然酸化膜等を除去するため、フッ酸等により前洗浄を行う。続いて、反応防止膜としての金属窒化物308(例えば、窒化タングステン)および金属307(例えば、タングステン)を、それぞれ膜厚5~10nm程度および50nm程度スパッタ法等により堆積する。なお、これらの金属309、307あるいは金属窒化物308の堆積は、大気中にさらさないよう連続して行うことが望ましい。さらに、金属307上にシリコン酸化膜306をプラズマCVD法等により堆積する(図7(a))。

【0042】本実施例では、この段階で650℃以上の熱工程を加えることにより、金属309と多結晶シリコン311、312が反応して、金属珪化物320(例えば、タングステンシリサイド)が、堆積した金属309の膜厚の2倍程度の膜厚だけ形成される(図7(b))。

【0043】これら堆積された膜を、レジストを用いたリソグラフィ工程および異方性ドライエッチング技術等を用いて、ゲート電極として加工する。

【0044】次に、ホトリソグラフィ工程およびイオン打ち込み法により、NMOSの拡散層領域314およびパンチスルーストップ領域315、PMOSの拡散層領域316およびパンチスルーストップ領域317を形成し、さらに、プラズマCVD法等を用いてシリコン酸化膜を堆積した後、堆積した膜厚分、等方性ドライエッチングにより除去することにより、ゲート電極の側面にシリコン酸化膜からなるサイドウォール313を形成する。その後、ホトリソグラフィ工程とイオン打ち込み技術により、NMOSおよびPMOSの深い拡散層領域318、319を形成する(図7(c))。

【0045】このようにして形成したゲート電極は、金属珪化物320と多結晶シリコン310、312の間に、理想的な金属-半導体接触が形成されるため、従来の金属珪化物を挟まない構造に比べて、10分の1~40分の1程度小さい接触抵抗を得ることができる。また、これらの効果により、デバイスの回路性能(無負荷のCMOSデバイスの伝播遅延時間)は、約28psから約12psへと向上する(ゲート長0.10μm世代のCMOSデバイス)。

【0046】

【発明の効果】従来の窒化タングステン／多結晶シリコン界面の接触抵抗では、 n/p 型双方の多結晶シリコンのいずれの場合においても $10^{-5} \Omega \cdot \text{cm}^2$ オーダーであり、オーミック特性を得られる理想的な金属／半導体界面が形成できなかったのに対して、本発明によれば、窒化タングステン／タングステンシリサイド／多結晶シリコン構造にすることで、ほぼ理想的な金属／半導体界面を得ることができ、オーミックな特性を示す低接触抵抗の界面を得ることができる。また、本構造をMOSトランジスタのゲート電極として用いた場合は、ゲート抵抗の低減の効果により、回路性能を向上することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の製造工程を示す工程断面図。

【図2】本発明の第2の実施例の製造工程を示す工程断面図。

【図3】本発明の第3の実施例の製造工程を示す工程断面図。

【図4】本発明の第4の実施例の製造工程の一部を示す工程断面図。

【図5】本発明の第4の実施例の製造工程の一部を示す工程断面図。

【図6】本発明の第5の実施例の製造工程の一部を示す工程断面図。

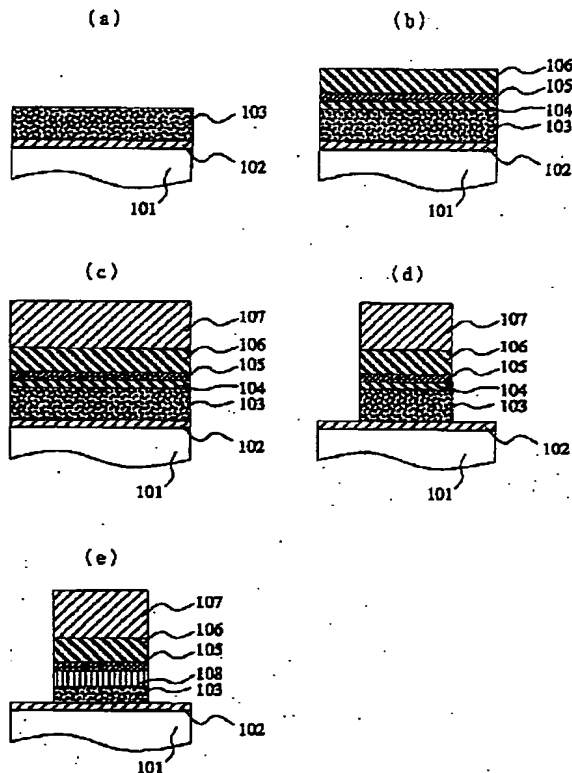
【図7】本発明の第5の実施例の製造工程の一部を示す工程断面図。

【符号の説明】

101, 301…半導体基板、102, 310…ゲート酸化膜、103…多結晶シリコン膜、104, 309…金属膜、105, 308…金属窒化物、106, 307…金属、107, 306…シリコン酸化膜、108, 320…金属珪化物、109…金属珪化物、302…シリコン酸化膜、303, 305…シリコン窒化膜、304…シリコン酸化膜、311… n 型多結晶シリコン膜、312… p 型多結晶シリコン膜、313…シリコン酸化膜、315, 317…パンチスルーストップバ、314, 316…拡散層、318, 319…深い拡散層。

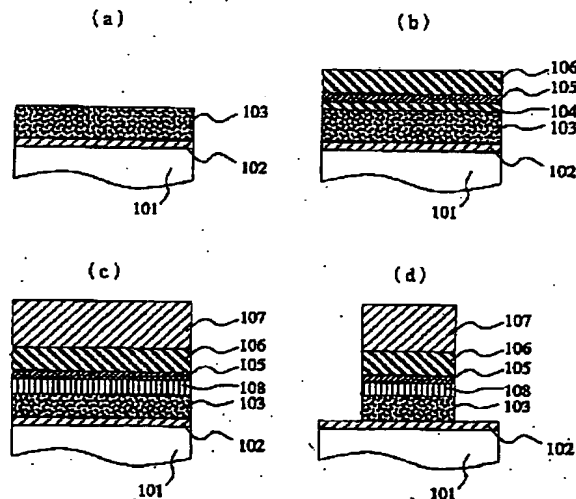
【図1】

図1



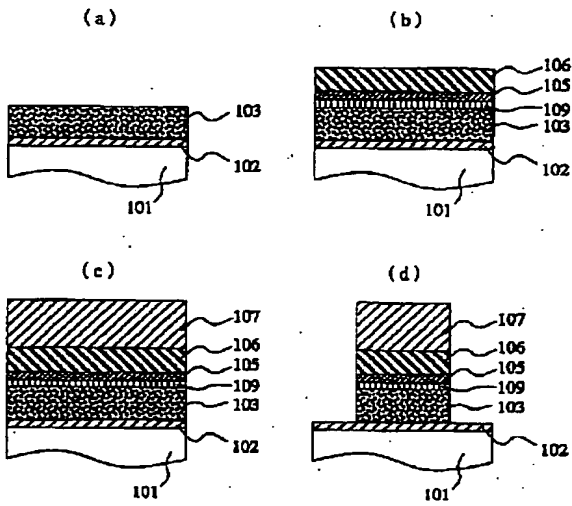
【図2】

図2



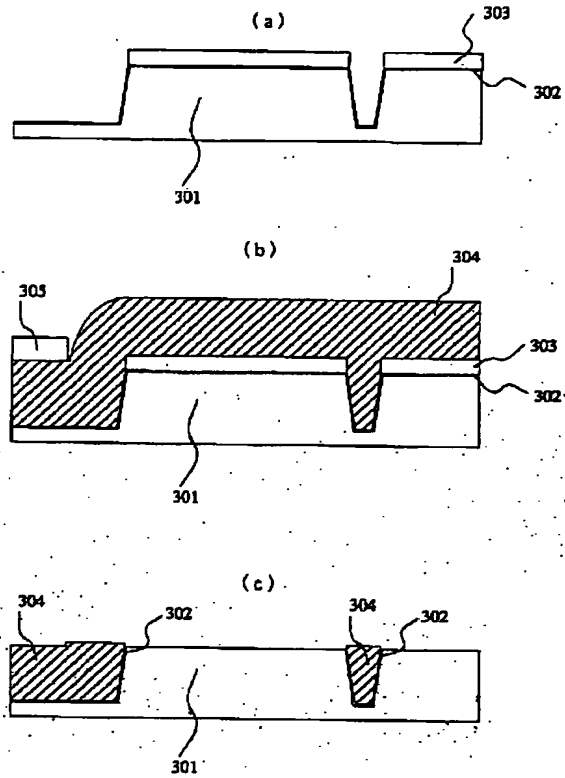
【図3】

図3



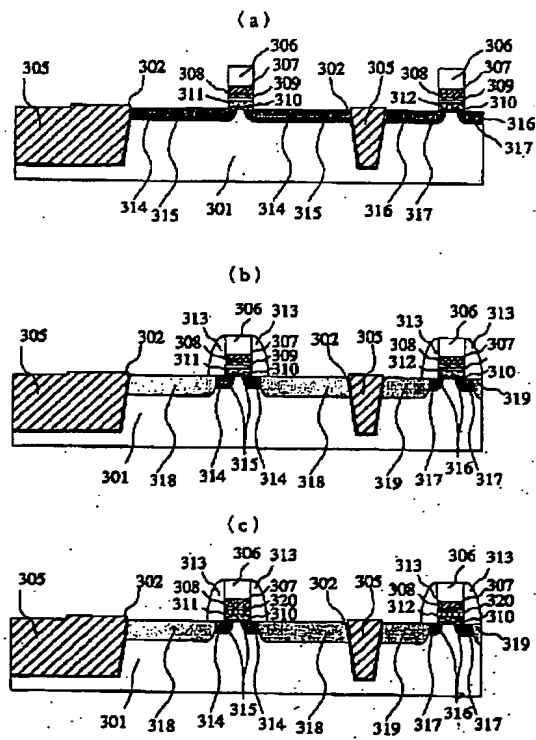
【図4】

図4

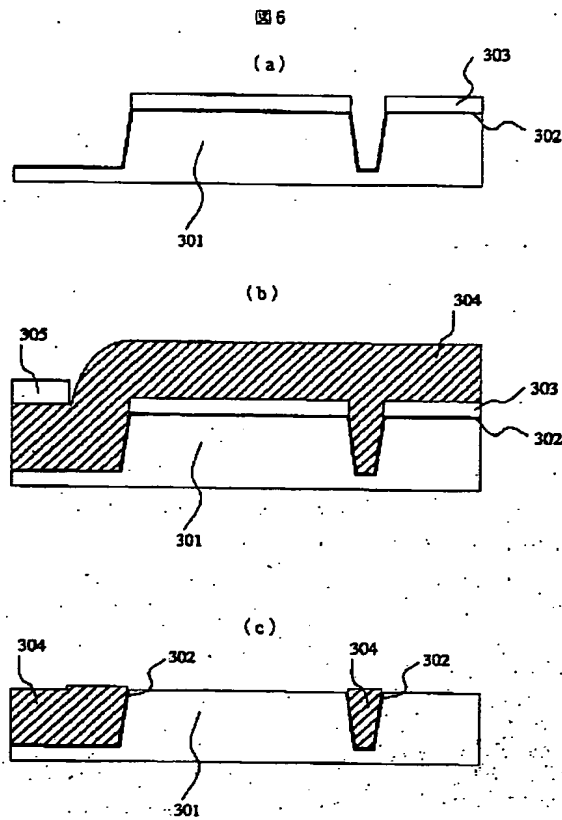


【図5】

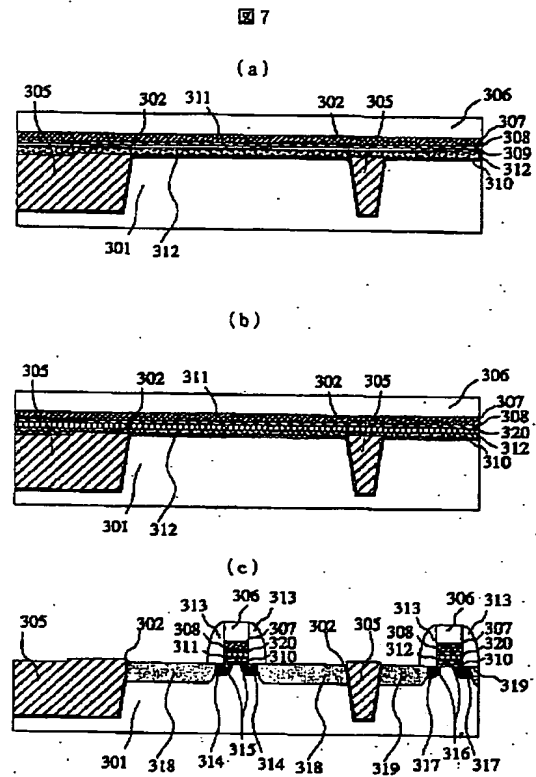
図5



【図 6】



【図 7】



フロントページの続き

F ターム(参考) 4M104 AA01 BB01 CC05 DD04 DD23
 DD37 DD43 DD55 DD66 DD78
 DD84 EE05 EE15 FF14 GG09
 GG10 HH16
 5F040 DA01 DB03 EC02 EC04 EC07
 EC13 EF02 EK05 FA05 FA12
 FA16 FB02 FC19 FC22